

(11)特許出願公開番号

(43)公開日 平成7年(1995)8月22日

### 技術表示箇所

**Z**

(74)代理人 弁理士 並木 昭夫

[illegible]

## 【特許請求の範囲】

【請求項1】 所望のチャンネルを選局するためのチューナ部と、該チューナ部により選局された所望のチャンネルの信号を検波するための準直交同期検波部と、から成るフロントエンドを含むデジタル放送受信機において、

前記チューナ部が少なくとも局部発振器と周波数変換器から成り、前記準直交同期検波部が少なくとも基準発振器と90度移相器と2つの乗算器から成り、前記チューナ部を構成する局部発振器が、第1のフェーズ・ロックド・ループ(PLL)によってその発振周波数を直接制御されて安定化する方式の局部発振器である場合に、前記準直交同期検波部を構成する基準発振器も第2のフェーズ・ロックド・ループ(PLL)によってその発振周波数を直接制御されて安定化する方式の基準発振器としたことを特徴とするデジタル放送受信機。

【請求項2】 請求項1に記載のデジタル放送受信機において、前記基準発振器の発振周波数を制御して安定化する前記第2のフェーズ・ロックド・ループ(PLL)に対する発振周波数制御のための初期設定動作を、前記局部発振器の発振周波数を制御して安定化する前記第1のフェーズ・ロックド・ループ(PLL)に対する発振周波数制御のための初期設定動作に先立って行うように、制御データを与えることを特徴とするデジタル放送受信機。

【請求項3】 請求項1又は2に記載のデジタル放送受信機において、局部発振器の発振周波数を制御して安定化する前記第1のフェーズ・ロックド・ループ(PLL)に対する制御と、基準発振器の発振周波数を制御して安定化する前記第2のフェーズ・ロックド・ループ(PLL)に対する制御と、は共通の制御線路を用い、アドレス指定によりどちらか一方を指定することにより制御するようにしたことを特徴とするデジタル放送受信機。

【請求項4】 請求項1、2又は3に記載のデジタル放送受信機において、前記チューナ部と準直交同期検波部とから成る前記フロントエンドが1つの筐体内に納められたことを特徴とするデジタル放送受信機。

【請求項5】 請求項1、2又は3に記載のデジタル放送受信機において、前記準直交同期検波部がそのI信号出力部およびQ信号出力部にそれぞれA/Dコンバータを接続された準直交同期検波部から成り、かかる準直交同期検波部と前記チューナ部とから成るフロントエンドが1つの筐体内に納められたことを特徴とするデジタル放送受信機。

【請求項6】 請求項5に記載のデジタル放送受信機において、前記準直交同期検波部のI信号出力部とA/Dコンバータとの間にI信号出力の振幅を制御する手段を、Q信号出力部とA/Dコンバータとの間にQ信号出力の振幅を制御する手段を、それぞれ接続したこと特徴

とするデジタル放送受信機。

【請求項7】 請求項5又は6に記載のデジタル放送受信機において、前記デジタル出力のフロントエンドのほか、該フロントエンドの出力側につながるデジタル復調手段と、ビタビ復号手段と、デマルチプレクス手段と、誤り訂正手段と、少なくとも映像デコード手段、あるいは音声デコード手段、あるいはデータのデコード手段を具備したことを特徴とするデジタル放送受信機。

10 【請求項8】 請求項1、2、3、4、5、6又は7に記載のデジタル放送受信機において、少なくとも前記準直交同期検波部がIC化された検波部から成ることを特徴とするデジタル放送受信機。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、複数の映像情報、音声情報及びデータなどが圧縮多重化されデジタル変調されてなされるデジタルテレビジョン放送用の受信機としてのデジタル放送受信機に関する。

## 20 【0002】

【従来の技術】地上放送、衛星放送、通信衛星など限られたチャンネル数の有効利用を図るため、従来のアナログテレビジョン放送の1チャンネルで1番組サービスであるのに対し、高能率のデジタル画像圧縮技術とデジタル変調技術を用いることにより、アナログ伝送帯域の1チャンネルで複数の番組サービスの提供を行なう多チャンネル化デジタルテレビジョン放送が計画されている。

30 【0003】この多チャンネル化デジタルテレビジョンを受信するデジタル放送受信機において、受信信号から希望チャンネルを選局し周波数変換するチューナ部の基本構成は、アナログ放送受信機のチューナ部と同じである。また、従来のデジタル受信機のデジタル復調部の構成としては、テレビジョン学会技術報告の論文「デジタル衛星放送用QPSK復調器の検討」小松進ほか、シーイー'92-48、頁19~24、1992年8月、の開示例がある。

【0004】チューナ部の従来の構成例を図11に示す。同図において、1は高周波信号遮断コイル、2はハイパスフィルタ(HPF)、3はRF増幅回路、4は可変同調バンドパスフィルタ(可変同調BPF)、5はミキサIC、6はRF・AGC増幅回路、7はミキサ回路、8は発振器バッファ増幅回路、9はIF・AGC増幅回路、13は局部発振器、16はIFバンドパスフィルタ(IF・BPF、例えばSAWフィルタ)、17はIF増幅回路、である。

【0005】そのほか、27はAGC電圧、30は電圧加算手段、31はフェーズロックループ(PLL)によって局部発振周波数を直接制御する方式である)、3

2は前記PLLの比較周波数用水晶振動子、100は入力端子、102は屋外ユニット(図示せず)用電源端子、104は同調用電源端子、106は周波数シンセサイザ31のシリアルデータの読みだし/書き込み用端子、107は周波数シンセサイザ31のクロック信号入力端子、200はIF出力端子である。

【0006】入力端子100に入力された屋外ユニットからのRF信号は、HPF2と可変同調BPF4によって不要信号を除去された後、ミキサIC5によって希望チャンネルをIF信号に周波数変換され、IF・BPF16によって帯域制限されIF出力端子200より出力される。

【0007】IF信号周波数は、通信分野では70MHz、140MHzが一般的に使用される。PLLによる周波数シンセサイザ31は、一般的に良く知られた分周器やプログラマブルカウンタやPLLなどを内蔵し、局部発振器13の分周出力と水晶振動子32による比較周波数が比較され、PLLにより局部発振器13の発振周波数と可変同調BPF4の通過帯域を制御する。

【0008】局部発振器13と可変同調BPF4は、同調用電源端子104に印加される固定電圧と周波数シンセサイザ31の出力電圧が電圧加算手段30によって加算された制御電圧によって、選局と周波数安定のための制御が行われる。周波数シンセサイザ31の選局と周波数安定に必要な制御情報は、外部の制御マイクロコンピュータ(図示せず)からのクロック信号(クロック信号端子107)に同期したシリアルデータ(シリアルデータ端子106)によって行われる。周波数シンセサイザ31は固有のアドレスを有し、外部の図示せざる制御マイクロコンピュータがこのアドレスを選択することにより上記制御が許可される。

【0009】次にデジタル復調部の従来の開示例の概略図を図12に示す。同図において、20は90度移相器、21Aと21Bは乗算器、22Aと22Bは増幅器、23はAGC用のレベル検波器、24はAGC用のオベレイショナル(OP)増幅回路、25は基準発振器、26はAGC用の基準電圧、27はAGC電圧、28Aと28Bはローパスフィルタ(LPF)、37Aと37BはA/Dコンバータ、50はデジタル復調手段、51はI信号復調出力、52はQ信号復調出力である。

【0010】IF入力端子210に入力されたチューナ部からのIF信号と、基準発振器25と90度移相器20によって得られた0度と90度の準基準信号が、それぞれ乗算器21Aと21Bで乗算されて、準直交同期検波が行われる。基準発振器25はIF信号のキャリア周波数に等しい固定発振器である。準直交同期検波出力は、それぞれ増幅器22Aと22Bで増幅され、LPF28Aと28Bを介して、A/Dコンバータ37Aと37Bに入力され、デジタル信号に変換される。

【0011】デジタル信号に変換された準直交同期検波出力は、デジタル復調手段50によってキャリア再生、ナイキスト帯域のフィルタリングなどが行われI信号復調出力とQ信号復調出力を得る。なお、ナイキスト帯域のフィルタリングはLPF28Aと28Bで行われることもある。デジタル復調手段50の動作は、本発明に係らない部分のため略する。AGC電圧27は、IF入力信号を入力したレベル検波器23の検波出力と、基準電圧26との誤差をOP増幅回路24で増幅することにより得ている。

【0012】

【発明が解決しようとする課題】上記従来技術においては、IF信号のキャリア周波数は70MHzあるいは140MHzが使用され、IF信号のキャリア周波数に等しい基準発振器25には、周波数安定性と低い位相雑音が要求されことから、従来、水晶発振器が使用されている。

【0013】しかし、多チャンネル化デジタルテレビジョンの衛星放送にもちいるデジタル受信機においては、IF信号のキャリア周波数に402.78MHzや479.5MHzが使用され、周波数が従来の3倍から6倍と高いため水晶発振器による直接発振は困難でオーバートーンを用いても高価である。また、準直交同期検波回路がデジタル復調手段の一部として扱われているため、チューナ部から準同期検波部までの距離が長くなることによるIF帯域特性の歪や、準同期検波回路がアナログ動作であるのに対して、デジタル復調手段がデジタル動作であることによるデジタル妨害など、に対する回路構成上の不整合がある。

【0014】本発明の目的は、IF信号のキャリア周波数に従来の3倍から6倍と高い周波数を使用する場合において、簡単で安定に構成した基準発振器を有する準直交同期検波回路を備え、また、アナログ動作とデジタル動作の回路構成上の不整合性を小さくした(つまりデジタル回路側のパルス性のノイズがアナログ回路側に及ばないようにした)、多チャンネル化デジタルテレビジョンの衛星放送受信機として好適なデジタル放送受信機を提供することにある。

【0015】

【課題を解決するための手段】上記目的は、チューナ部を構成する局部発振器を安定化する第一のPLLがもと(従来技術でも周波数シンセサイザとして)存在するのに対し、デジタル復調部の準直交同期検波回路を構成する基準発振器となる電圧制御発振器においても、これを安定化するための第二のPLL(周波数シンセサイザ)を設けてその周波数安定化を図ることと、

【0016】チューナ部を構成する局部発振器を安定化する第一のPLLと、基準発振器を構成する電圧制御発振器を安定化する第二のPLLと、の制御に際し、それぞれ別個に制御手段を設けるのではなく、両者を選択制御

する手段、例えば固有のアドレスをそれぞれに付与して、アドレスにより選択制御するようにし、その結果これらの制御を共通の1組の制御線路で行なうことを可能にすること、

【0017】また、準直交同期検波回路をIC化し、チューナ部と該準直交同期検波回路（ここまではアナログ回路）、あるいは準直交同期検波回路に接続されるA/Dコンバータまでを含めてチューナ部と該準直交同期検波回路とをアナログ回路として、1つの筐体内に納め（シールドして）、その後続くデジタル回路とはノイズ的に分離し、デジタル回路を除く前者（チューナ部と準直交同期検波回路）をフロントエンドとする構成と、により達成される。

【0018】

【作用】準直交同期検波回路を構成する基準発振器となる電圧制御発振器は、第二のPLL（周波数シンセサイザ）により安定化され、PLLの比較周波数はIFの402.78MHzあるいは479.5MHzに対し約1/10～1/100に選べることから簡単に水晶発振器による直接発振ができる。

【0019】第二のPLLが、第一のPLLと同様なプログラマブルの周波数シンセサイザで構成した場合、この準直交同期検波回路の基準発振器は、チューナ部の局部発振器のようにチャンネル選局の度にPLLのプログラマブルカウンタなどの制御を行なう必要はなく、基本的には電源投入時に第一のPLLの制御（初期設定）の前に第二のPLLを制御（初期設定）して固定発振状態にするか、あるいは特別に、例えばデジタル復調手段50（図12）のための同期引込みや同期合わせて発振周波数をスイープあるいは微補正制御する必要が生じたときのみでよい。

【0020】このため、第一のPLLと第二のPLLにアドレスを付与し、アドレスの選択でそれぞれのPLLの初期設定あるいはプログラマブルカウンタなどによる発振周波数制御を行なうことにより、制御線路は共通の1組に削減でき、これらを制御する制御マイコン側のI/Oポートもそれに対応して1組でよい。

【0021】また、チューナ部のIFの周波数が変更、例えば機種によって402.78MHzから479.5MHzになった場合や、1つの受信システムの中でフィルタの帯域幅関係からチューナのIF周波数が異なる、例えば広帯域な映像受信は400MHz帯、狭帯域なデータは140MHz帯を使用する場合も準直交同期検波回路の基準発振器の変更は、制御マイコン側のソフトウェア変更で簡単に行なえる。

【0022】さらに、準同期検波回路をIC化し小型化をはかり、チューナ部と同じアナログ動作である準同期検波回路を1つの筐体内に配置したフロントエンド構成にすることにより、チューナ部出力と準同期検波回路の距離が短縮できIF帯域特性を損なわず信号伝送が行な

え、また、アナログ部とデジタル部をノイズ的に分離できるためデジタル復調部からのデジタル妨害を受けにくくなる。

【0023】準同期検波回路の出力はベースバンド周波数であるためチューナ部の出力の高周波信号に対して伝送劣化は小さくてすむ。チューナ部と準同期検波回路部とA/Dコンバータを1つの筐体内に配置したフロントエンド構成にした場合には、そうすることにより、フロントエンドの出力はデジタル出力となり、デジタル復調部との接続性の向上と周囲からのデジタル妨害に対して強くなる。

【0024】A/Dコンバータをフロントエンド内に配置することでA/Dコンバータの一部のデジタル動作による、フロントエンド内アナログ回路に対するデジタル妨害が懸念されるが、それ以降のデジタル復調部に比較してその発生量小さく問題とならない。

【0025】

【実施例】以下、本発明を図に示す実施例に従って詳細に説明する。図1及び図2は、破線（A-A線）の箇所

20で結合して一体化するとき、本発明の一実施例を示すブロック図となる。図1及び図2において、図11及び図12におけるのと同様な機能ブロックに対しては同一の符号を記している。

【0026】図1及び図2は、第二のPLL（準直交同期検波回路を構成する基準発振器となる電圧制御発振器に対するPLL）に周波数シンセサイザを適用した実施例である。これらの図において、18は準直交同期検波IC、19はAGC・IF増幅回路、25'は電圧制御発振器、33は電圧加算手段、34は第二のPLLによる周波数シンセサイザ、35は第二のPLLの比較周波数用の水晶振動子、40はフロントエンド、108は電源電圧端子、109はQ復調信号出力端子、110はI復調信号復調信号である。

【0027】準直交同期検波IC18は、少なくとも利得可変IF増幅回路19と90度位相器20と乗算器21A、21Bと増幅器22A、22BとAGCレベル検波器23とOP増幅回路24からなり、準直交同期検波部の機能を集積している。

【0028】第二のPLLの周波数シンセサイザ34のシリアルデータ端子とクロック端子はそれぞれ、第一のPLLの周波数シンセサイザ34のシリアルデータ端子とクロック端子に接続され、フロントエンドのシリアルデータ端子106とクロック端子107に接続される。

【0029】電圧制御発振器25'は、電圧制御発振器25'の出力が分岐され第二のPLLの周波数シンセサイザ34に入力され、同調用電源端子104に印加される固定電圧と、第二のPLLの周波数シンセサイザ34の出力電圧が電圧加算手段33によって加算された制御電圧によって、周波数と周波数の安定化のための制御が行われる。

【0030】準直交同期検波IC18の出力は、LPF 28A、28Bを介してそれぞれI復調信号出力端子110と、Q復調信号出力端子109に接続される。ディジタル放送受信機の電源がONされると、アドレスデータにより第二のPLLの周波数シンセサイザ34が選択され、電圧制御発振器25'の発振周波数があらかじめ決められた準直交同期検波IC18の入力キャリア周波数と等しくなるよう、第二のPLLの周波数シンセサイザ34内のプログラマブルカウンタなどが初期設定され、電圧制御発振器25'の発振周波数の安定化が行われる。

【0031】電圧制御発振器25'の発振周波数の安定化後、チューナ部の第一のPLLの周波数シンセサイザ31の初期設定が行われ希望チャンネルに局部発振器13の発振周波数を一致させる。第一のPLLの周波数シンセサイザ31が希望チャンネルを選局後、前記従来例のディジタル復調手段50に対する同期引込み、同期引込み後の位相回転の微調整のための補助動作は、第二のPLLの周波数シンセサイザ34内のプログラマブルカウンタを制御し、準直交同期検波IC18への基準発振器周波数を変化させることで可能である。

【0032】図3及び図4は、破線(B-B線)の箇所で結合して一体化するとき、本発明の別の実施例を示すブロック図となる。図3及び図4において、図1及び図2におけるのと同様な機能ブロックに対しては同一の符号を記している。

【0033】図3及び図4において、1Aと1Bはそれぞれ高周波信号遮断コイル、2Aと2BはそれぞれHPF、3Aと3BはそれぞれRF増幅回路、14は高周波信号切り換えスイッチ、15は2帯域IFバンドパスフィルタ、16Aと16BはそれぞれIFバンドパスフィルタ、29はRF増幅回路切り換えスイッチ、101は第2の入力端子、103は第2の屋外ユニット用の電源端子である。

【0034】図3及び図4は、図1及び図2の実施例に対し、2つの屋外ユニットからの入力と、2つの異なるIF帯域幅あるいは2つの異なるIF中心周波数をもつ受信機に適用した実施例である。2つの屋外ユニットからの入力というのは、複数の衛星放送が存在する場合に、それらの二つからの入力という場合もあるし、或いは一方はCATVからの信号で、他方が衛星放送からの入力という場合もあるし、様々な場合が想定可能である。

【0035】第一のPLLの周波数シンセサイザ31はI/Oポート出力を有し、シリアルデータの情報によってスイッチをON/OFFする機能をもつ。また、2帯域IFバンドパスフィルタ15(16Aと16B)は、2つの異なるIF帯域幅あるいは2つの異なるIF中心周波数をもつ。入力端子100と入力端子101には、それぞれ一対の高周波信号遮断コイル1Aと1B、HPF

2Aと2B、RF増幅回路3Aと3Bが配置され、RF増幅回路切り換えスイッチ29によってRF増幅回路3Aと3Bの電源をON/OFFすることにより、ミキサ5に入力される信号を切り換える構成である。

【0036】ミキサ5のIF出力は、高周波信号切り換えスイッチ14によって2帯域IFバンドパスフィルタ15の通過帯域をIFバンドパスフィルタ16Aと16Bで切り換える構成である。RF増幅回路切り換えスイッチ29と高周波信号切り換えスイッチ14の切り換えは、同図では第一のPLLの周波数シンセサイザ31のシリアルデータに切り換え情報を重畳して、第一のPLLの周波数シンセサイザ31のI/Oポート出力で行なっている。

【0037】図5及び図6は、破線(C-C線)の箇所で結合して一体化するとき、本発明の更に別の実施例を示すブロック図となる。図5及び図6において、図4及び図3におけるのと同様な機能ブロックに対しては同一の符号を記している。

【0038】図5及び図6において、36Aと36Bはそれぞれ増幅器、37Aと37BはそれぞれA/Dコンバータ、116はA/Dコンバータのクロック端子、111はディジタルデータのQ信号復調出力端子群、112はディジタルデータのI信号復調出力端子群である。

【0039】本実施例は、図3及び図4の実施例において、LPF28Aと28Bの出力にそれぞれ増幅器36Aと36B、A/Dコンバータ37Aと37Bを配置した構成である。LPF28Aと28BのIとQの復調出力信号の振幅を、増幅器36Aと36Bによって、A/Dコンバータ37Aと37Bの規定入力振幅に合わせ、A/Dコンバータ37Aと37Bでクロック端子116に印加されたクロックによってA/D変換を行ない、ディジタルデータをI信号復調出力端子群112と、Q信号復調出力端子群111から得る構成である。

【0040】図7及び図8は、破線(D-D線)の箇所で結合して一体化するとき、本発明のなお更に別の実施例を示すブロック図となる。図7及び図8において、図5及び図6におけるのと同様な機能ブロックに対しては同一の符号を記している。

【0041】図7及び図8において、36Aと36Bはそれぞれ利得可変の機能を持つ増幅器、114はベースバンドAGC電圧印加端子である。本実施例はA/Dコンバータ37Aと37Bの入力振幅エラーを補正する構成である。A/Dコンバータ37Aと37Bの入力振幅エラーは、増幅器36Aと36Bの利得を可変することで補正する。ベースバンドAGC電圧印加端子114に印加する電圧は、前記従来例のディジタル復調手段50より得る。

【0042】図9及び図10は、破線(E-E線)の箇所で結合して一体化するとき、本発明の他の実施例を示すブロック図となる。図9及び図10において、図8及

び図9におけるのと同様な機能ブロックに対しては同一の符号を記している。

【0043】図9及び図10において、41はデジタル復調手段、42はビタビデコーダ、43はデマルチプレクサ、44は映像デコーダ、45は音声デコーダ、46はデータデコーダ、47は制御マイコン、48はフロントエンド40の第一と第二のPLLのシンセサイザの制御線路、49はベースバンドAGC電圧信号、50はA/Dコンバータのクロック信号、51はQ信号復調デジタルデータ、52はI信号復調デジタルデータ、53はデジタル復調手段への制御バスライン、54はビタビデコーダへの制御バスライン、55はデマルチプレクサへの制御バスライン、56は制御マイコンのバスライン、113は映像出力、114は音声出力、115はデータ出力である。

【0044】本実施例は、図7及び図8に示す実施例に対し、信号処理系のデジタル復調手段41とビタビデコーダ42とデマルチプレクサ43と映像デコーダ44と音声デコーダ45とデータデコーダ46と全体を制御する制御マイコン47を設けたデジタル衛星放送受信機の実施例である。

【0045】これまでの実施例はフロントエンドを特徴部として示す実施例であったが、図9及び図10に示す本実施例は、フロントエンド40の他に、それに続く復調手段や制御マイコンなどをも示して受信の全体構成を示した実施例である。格別の説明は不要であろう。

#### 【0046】

【発明の効果】本発明によれば、準直交同期検波回路の基準発振器となる電圧制御発振器25'は第二のPLL（周波数シンセサイザ34）により安定化され、PLLの比較周波数はIFの402.78MHzあるいは479.5MHzに対し約1/10～1/100に選べることから簡単に水晶発振器による直接発振を利用できる効果がある。

【0047】この準直交同期検波回路の基準発振器35の制御は、基本的には電源投入時あるいは特に、例えばデジタル復調手段41のための同期引込みや同期合わせで発振周波数をスイープあるいは微補正制御する必要が生じたときのみでよい。このため、第一のPLL（周波数シンセサイザ31）と第二のPLL（周波数シンセサイザ34）にアドレスを付与し、アドレスの選択でそれぞれのPLLの初期設定あるいはプログラマブルカウンタなどによる発振周波数制御を行なうことにより、制御線路は共通の1組に削減でき、これらを制御する制御マイコン側のI/Oポートもそれに対応して1組（106、107）でよい効果がある。初期設定時には第一のPLLに対するそれよりも、第二のPLLに対するそれを先行させるのが、チャンネルの復調が出来る準備が整ってからチャンネルの選局が行われることになるので、好ましい。

【0048】また、チューナ部のIFの周波数に変更、例えば機種によって402.78MHzから479.5MHzになった場合や、1つの受信システムの中でフィルターの帯域幅関係からチューナのIF周波数が異なる、例えば広帯域な映像受信は400MHz帯、狭帯域なデータは140MHz帯を使用する場合も準直交同期検波回路の基準発振器の変更は、制御マイコン側のソフトウェア変更で簡単に行なえる効果がある。

【0049】また、準同期検波回路をIC化し、チューナ部と同じアナログ動作である該準同期検波回路を1つの筐体内に配置したフロントエンド構成にすることにより、チューナ部出力と準同期検波回路との間の距離（寸法）が短縮できIF帯域特性を損なわず信号伝送が行なえ、また、アナログ部とデジタル部を分離できるため（アナログ部をフロントエンドとして1つの筐体内に納めてシールドし、それに続くデジタル部とは、ノイズ的に分離する）、デジタル復調部からのデジタル妨害をフロントエンド側に受けにくくなる効果がある。

【0050】準同期検波回路の出力はベースバンド周波数であるためチューナ部の出力の高周波信号に対して伝送劣化は小さくてすむ効果がある。チューナ部と準同期検波回路部とA/Dコンバータを1つの筐体内に配置したフロントエンド構成にする場合は、そうすることにより、フロントエンドの出力はデジタル出力となり、デジタル復調部との接続性の向上と周囲からのデジタル妨害に対して強くなる効果がある。

#### 【図面の簡単な説明】

【図1】本発明の一実施例の一半分を示すブロック図である。

【図2】本発明の一実施例の残り半分を示すブロック図である。

【図3】本発明の別の実施例の一半分を示すブロック図である。

【図4】本発明の別の実施例の残り半分を示すブロック図である。

【図5】本発明の更に別の実施例の一半分を示すブロック図である。

【図6】本発明の更に別の実施例の残り半分を示すブロック図である。

【図7】本発明のなお更に別の実施例の一半分を示すブロック図である。

【図8】本発明のなお更に別の実施例の残り半分を示すブロック図である。

【図9】本発明の他の実施例の一半分を示すブロック図である。

【図10】本発明の他の実施例の残り半分を示すブロック図である。

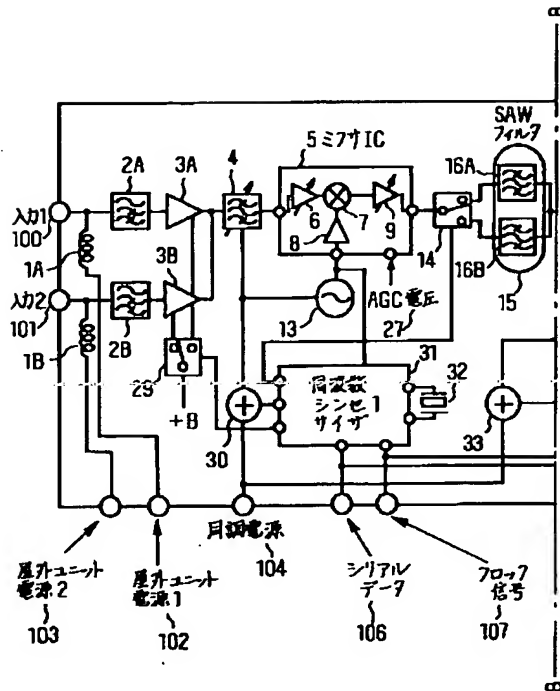
【図11】チューナ部の従来例を示すブロック図である。

50 【図12】デジタル復調部の従来例を示すブロック図

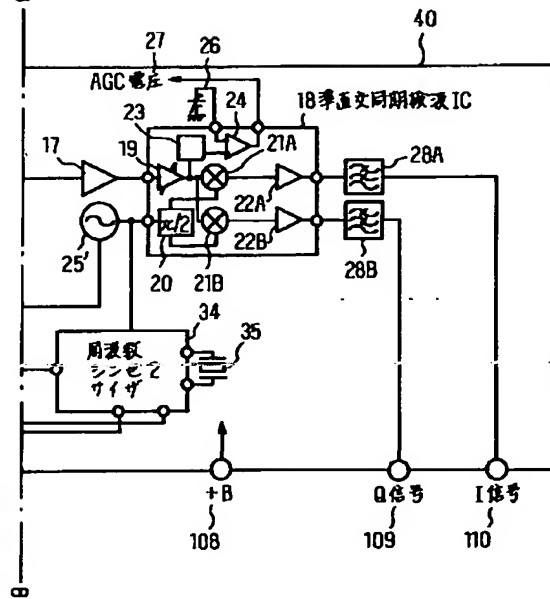




【図3】

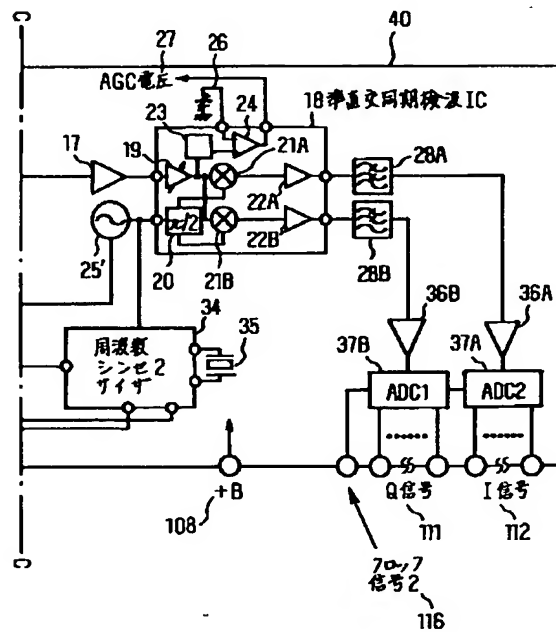
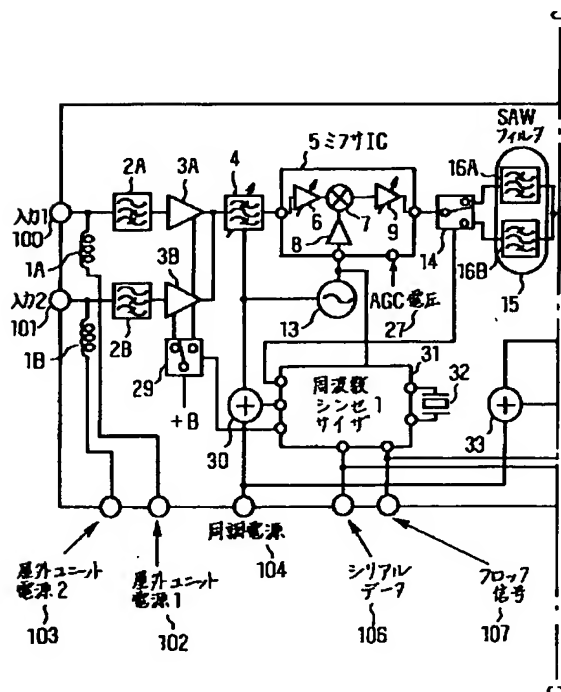


【図4】



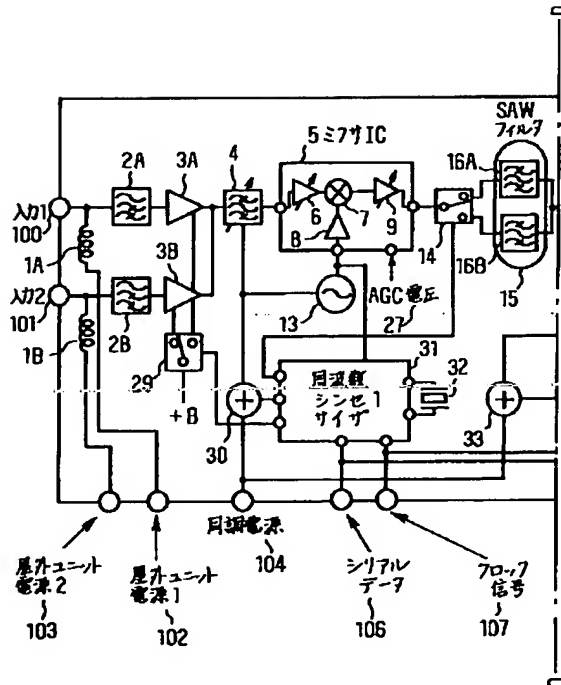
【図6】

【図5】

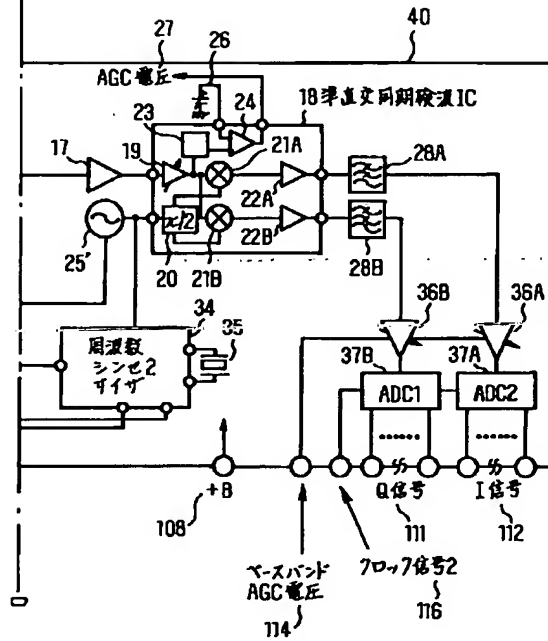




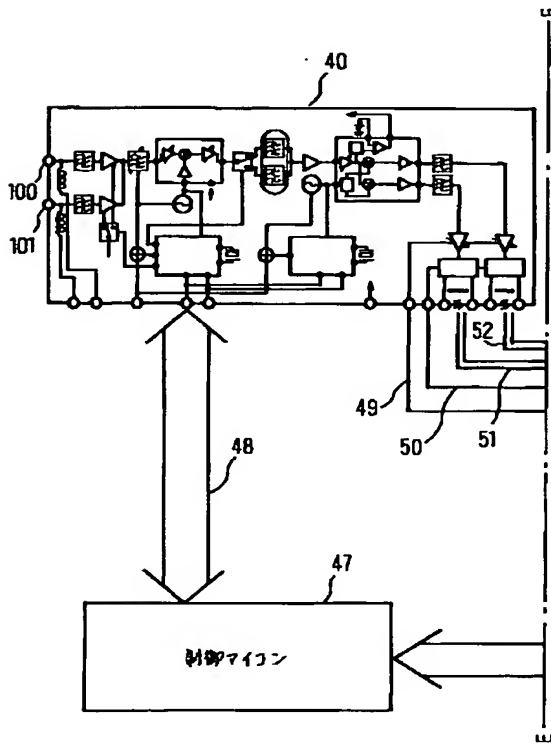
【図7】



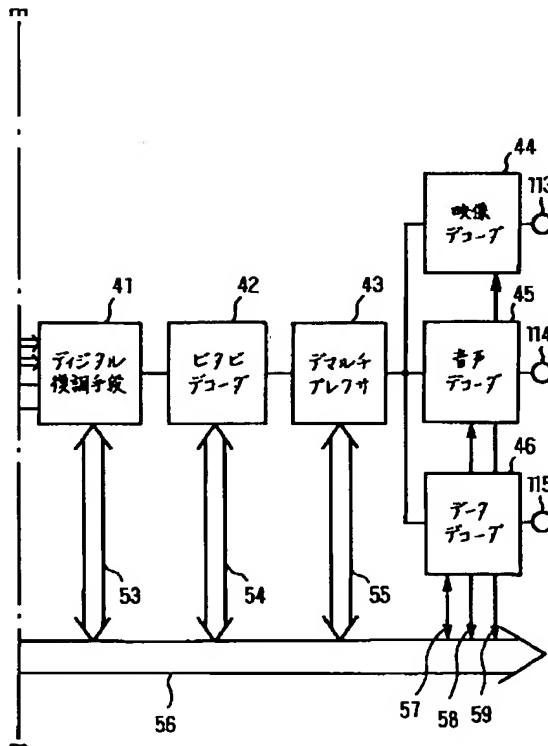
【図8】



【図9】



【図10】



【図11】

